

תעוד תכנת קיידנס (CADENCE) עבור מעבדת VLSI

מסמך זה מספק הבחיות ראשוניות למשתמשים חדשים בתכנת CADENCE וקישורים לתעוד של קיידנס ומסמכי תעוד והסבר מאוניברסיטאות אחרות.

- [שימוש בכלי Cadence עבור קורס מבוא ל-VLSI](#)
- [סימולציה של אופיין טרנזיסטור](#)
- [Measuring Rise and Fall time](#)
- [Layout with Cadence](#)
- [Simulation with extracted RC](#)
- [Active area Layout Layers](#)
- [Virtuoso Schematic Editor tutorial](#)
- [Berkeley Layout Lab](#)
- [Berkeley Layout Verification Lab](#)
- [Berkeley Schematics and Circuit Simulation Lab](#)
- [Berkeley Logic Gates Lab](#)

תעוד מקורי של Cadence ניתן לראות לאחר Login ב-micron בכתובת

`/home/cadence/doc`

[VIDEOS מקוריים](#) של קיידנס ניתן לראות רק כאשר ניגשים מהקמפוס בכתובת

[Cadence Videos](#)

אין להעתיק קבצים אלו (תעוד מקורי של Cadence) למחשב מחוץ לאוניברסיטה היות והם Cadence Copyright